

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06069913 A**(43) Date of publication of application: **11 . 03 . 94**

(51) Int. Cl. **H04L 7/00**
H04L 12/56
H04L 13/08

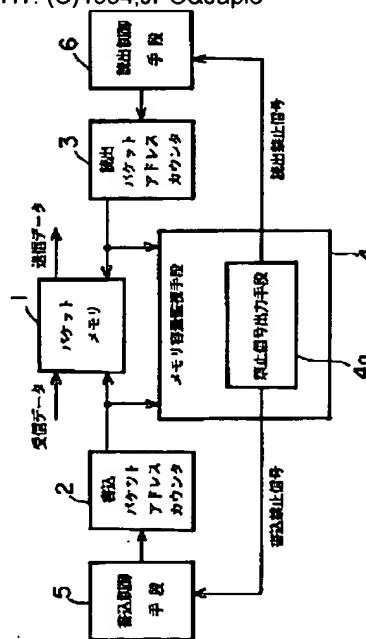
(21) Application number: **05035998**(22) Date of filing: **25 . 02 . 93**(30) Priority: **18 . 06 . 92 JP 04158366**(71) Applicant: **FUJITSU LTD**(72) Inventor: **NAKAMURA NORIKAZU**
CHIN SEIGEN(54) **CLOCK TRANSFER CIRCUIT**

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To surely implement data write and read accurately by always counting correctly number of valid packets with respect to the circuit converting reception data of fixed length packet configuration received synchronously with a reception clock into transmission data synchronously with a transmission clock signal having a different phase with that of the reception clock signal.

CONSTITUTION: A difference between an address of a write packet counted by a write packet address counter 2 and a read packet address counted by a read packet address counter 3 is obtained every time each packet address changes, and the difference is used for an effective packet number, that is, a packet number of data not read yet among data stored in a packet memory 1. Furthermore, Moreover, when the difference is 0, an inhibit signal output means 4a outputs a signal inhibiting read of transmission data by the packet memory 1 and when the difference is a 2nd prescribed number on the other hand, the means 4a outputs a signal inhibiting write of the reception data to the packet memory 1.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-69913

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.⁵

H 0 4 L 7/00

12/56

13/08

識別記号

A 7928-5K

G 7928-5K

8020-5K

8529-5K

F I

H 0 4 L 11/ 20

1 0 2 B

技術表示箇所

審査請求 未請求 請求項の数12(全 13 頁)

(21)出願番号 特願平5-35998

(22)出願日 平成5年(1993)2月25日

(31)優先権主張番号 特願平4-158366

(32)優先日 平4(1992)6月18日

(33)優先権主張国 日本(JP)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 中村 則和

栃木県小山市城東3丁目28番1号 富士通

デジタル・テクノロジー株式会社内

(72)発明者 陳 清敏

栃木県小山市城東3丁目28番1号 富士通

デジタル・テクノロジー株式会社内

(74)代理人 弁理士 服部 毅蔵

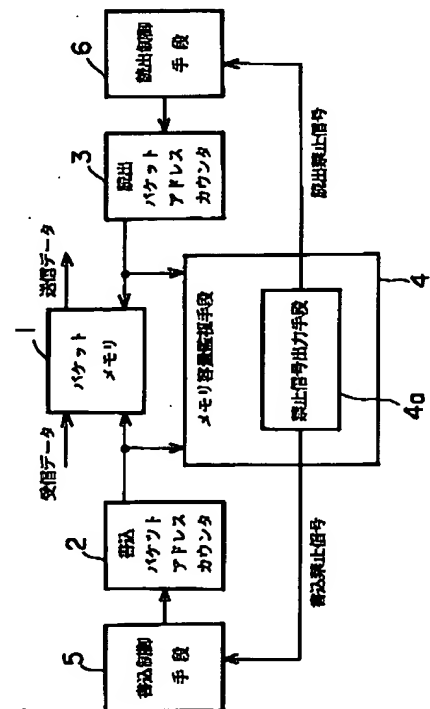
(54)【発明の名称】 クロック乗換回路

(57)【要約】

【目的】 受信クロックに同期して入力する固定長パケット構成の受信データを、受信クロックと位相の異なる送信クロックに同期する送信データに変換するクロック乗換回路に関し、有効パケット数を常に正しく計数して、データの書き込みおよび読み出しを正確に行うことを可能にすることを目的とする。

【構成】 メモリ容量監視手段4は、書込パケットアドレスカウンタ2でカウントされた書込パケットアドレスの数値と、読出パケットアドレスカウンタ3でカウントされた読出パケットアドレスの数値との差を、各パケットアドレスが変化する度に求め、この差を有効パケット数、即ちパケットメモリ1が保持するデータのうちの未だ読み出されていないデータの packets 数、とする。また、禁止信号出力手段4aは、前記差が0であれば、パケットメモリ1による送信データの読み出しを禁止する読出禁止信号を出力し、一方、前記差が第2の所定数であれば、パケットメモリ1による受信データの書き込みを禁止する書込禁止信号を出力する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 受信クロックに同期して入力する固定長パケット構成の受信データを、前記受信クロックと位相の異なる送信クロックに同期する送信データに変換するクロック乗換回路において、

第1の所定数のパケット分の記憶容量を持ち、書込クロックに同期して受信データを書き込み、かつ、前記書き込まれた受信データを読出クロックに同期して読み出して送信データとして出力するパケットメモリ(1)と、
1パケット分のデータを前記パケットメモリ(1)に書き込む毎に1ずつカウントアップして前記第1の所定数に達すると0に循環し、前記パケットメモリ(1)への書込アドレスをパケット単位で指定する書込パケットアドレスカウンタ(2)と、

1パケット分のデータを前記パケットメモリ(1)から読み出す毎に1ずつカウントアップして前記第1の所定数に達すると0に循環し、前記パケットメモリ(1)からの読出アドレスをパケット単位で指定する読出パケットアドレスカウンタ(3)と、

前記書込パケットアドレスカウンタ(2)でカウントされた書込パケットアドレスの数値と、前記読出パケットアドレスの数値との差を求め、前記差を、前記パケットメモリ(1)が保持するデータのうちの未だ読み出されていないデータのパケット数であるとするメモリ容量監視手段(4)と、

を有することを特徴とするクロック乗換回路。

【請求項2】 前記メモリ容量監視手段(4)は、前記差が0であれば、前記パケットメモリ(1)による送信データの読み出しを禁止する読出禁止信号を出力し、一方、前記差が第2の所定数であれば、前記パケットメモリ(1)による受信データの書き込みを禁止する書込禁止信号を出力する禁止信号出力手段(4a)を有することを特徴とする請求項1記載のクロック乗換回路。

【請求項3】 前記第2の所定数は、前記第1の所定数より1だけ小さい数であることを特徴とする請求項2記載のクロック乗換回路。

【請求項4】 前記パケットメモリ(1)による受信データの書き込みを制御する書込制御手段(5)と、前記パケットメモリ(1)による送信データの読み出しを制御する読出制御手段(6)とを更に有し、前記読出禁止信号および書込禁止信号は、前記読出制御手段(6)および書込制御手段(5)にそれぞれ出力されるように構成したことを特徴とする請求項2記載のクロック乗換回路。

【請求項5】 前記メモリ容量監視手段(4)は、前記書込パケットアドレスカウンタ(2)でカウントされた書込パケットアドレスの数値を読出クロックでリタイミングして出力する第1のリタイミング手段と、前記第1のリタイミング手段からの出力と前記読出パケットアド

レスカウンタ(3)でカウントされた読出パケットアドレスの数値との差を求める第1の減算手段と、前記書込禁止信号を書込クロックでリタイミングして出力する第2のリタイミング手段とを、更に有することを特徴とする請求項2記載のクロック乗換回路。

【請求項6】 前記第1のリタイミング手段は、前記書込パケットアドレスの数値の最下位ビットの変化後の所定数の読出クロック発生時に前記書込パケットアドレスの数値を出力することを特徴とする請求項5記載のクロック乗換回路。

【請求項7】 前記第1のリタイミング手段は、前記書込パケットアドレスの数値の最下位ビットの変化後の所定数の読出クロック発生時に第1のタイミング信号を発生する第1タイミング信号発生手段と、前記第1タイミング信号発生手段からの第1のタイミング信号で前記書込パケットアドレスの数値を選択し出力する第1の選択手段と、前記第1の選択手段からの出力を読出クロックでラッチする第1のラッチ手段とを有することを特徴とする請求項6記載のクロック乗換回路。

【請求項8】 前記第1のリタイミング手段は、前記書込パケットアドレスの数値の最下位ビットの変化後の所定数の読出クロック発生時に第1のタイミング信号を発生する第1タイミング信号発生手段と、前記第1タイミング信号発生手段からの第1のタイミング信号で前記書込パケットアドレスの数値をラッチする第2のラッチ手段とを有することを特徴とする請求項6記載のクロック乗換回路。

【請求項9】 前記メモリ容量監視手段(4)は、前記読出パケットアドレスカウンタ(3)でカウントされた読出パケットアドレスの数値を書込クロックでリタイミングして出力する第3のリタイミング手段と、前記第3のリタイミング手段からの出力と前記書込パケットアドレスカウンタ(2)でカウントされた書込パケットアドレスの数値との差を求める第2の減算手段と、前記読出禁止信号を読出クロックでリタイミングして出力する第4のリタイミング手段とを、更に有することを特徴とする請求項2記載のクロック乗換回路。

【請求項10】 前記第3のリタイミング手段は、前記読出パケットアドレスの数値の最下位ビットの変化後の所定数の書込クロック発生時に前記読出パケットアドレスの数値を出力することを特徴とする請求項9記載のクロック乗換回路。

【請求項11】 前記第3のリタイミング手段は、前記読出パケットアドレスの数値の最下位ビットの変化後の所定数の書込クロック発生時に第2のタイミング信号を発生する第2タイミング信号発生手段と、前記第2タイミング信号発生手段からの第2のタイミング信号で前記読出パケットアドレスの数値を選択し出力する第2の選択手段と、前記第2の選択手段からの出力を書込クロックでラッチする第3のラッチ手段とを有することを特徴

とする請求項10記載のクロック乗換回路。

【請求項12】 前記第3のリタイミング手段は、前記読出パケットアドレスの数値の最下位ビットの変化後の所定数の読出クロック発生時に第2のタイミング信号を発生する第2タイミング信号発生手段と、前記第2タイミング信号発生手段からの第2のタイミング信号で前記読出パケットアドレスの数値をラッチする第4のラッチ手段とを有することを特徴とする請求項10記載のクロック乗換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はディジタル通信装置等を使用されるクロック乗換回路に関し、特に受信クロックに同期して入力する固定長パケット構成の受信データを、前記受信クロックと位相の異なる送信クロックに同期する送信データに変換するクロック乗換回路に関する。

【0002】ディジタル通信装置等では、受信クロックと送信クロックとが同期しない場合に、クロック乗換が行われる。すなわち、受信クロックに同期して入力する固定長パケット構成をとる受信データを、受信クロックと周波数が同じで位相が同じとは限らない送信クロックに同期させて送出することが行われる。

【0003】このためには、書き込みと読み出しとが独立して行えるFIFO (first-in first-out) 方式のデュアルポートメモリが用いられる。

【0004】

【従来の技術】従来のクロック乗換回路を図9を参照して説明する。図9は従来のクロック乗換回路の構成を示すブロック図である。クロック乗換回路は、パケットメモリ110、書込アドレスカウンタ120、書込制御部130、読出アドレスカウンタ140、読出制御部150、およびパケット数監視部160から成る。

【0005】パケットメモリ110は、同時に書き込みと読み出しとが可能なデュアルポートRAMで構成され、aビット並列でデータの入出力が行われ、mワードから成るデータパケットをnパケット分記憶できる容量を有する。パケットメモリ110では、データが1ワードずつ、受信クロックに同期した書込クロックWCLKのタイミングで書き込まれ、送信クロックに同期した読出クロックRCLKのタイミングで読み出される。

【0006】パケット先頭パルスWCTP、RCTPは、それぞれ書込データおよび読出データの各パケットの先頭位置を示すタイミングパルスであり、パケットイネーブル信号WCEN、RCENは、それぞれパケットメモリ110へデータ書き込みおよびパケットメモリ110からデータ読み出し用イネーブル信号である。これらの信号は後述する書込制御部130、読出制御部150から出力されるものである。

【0007】書込アドレスカウンタ120は、書込ワー

ドアドレスカウンタ121と、書込パケットアドレスカウンタ122とからなり、両方の出力がパケットメモリ110の書込アドレスデータとなる。書込ワードアドレスカウンタ121には、書込クロックWCLKとパケット先頭パルスWCTPとパケットイネーブル信号WCENとが入力するようになっており、書込ワードアドレスカウンタ121はパケットイネーブル信号WCENの入力で動作状態となり、パケット先頭パルスWCTPの入力タイミングで、書込クロックWCLKが入力する度に1ずつインクリメントし、その計数値を書込アドレスデータの例えば8ビットの書込アドレスに対し、上位3ビットの書込ワードアドレスカウンタとして出力する。つまり、各パケット内でのワードの書込アドレスを生成する。

【0008】書込パケットアドレスカウンタ122はパケット単位の書込アドレスを発生するものである。すなわち、書込パケットアドレスカウンタ122には、パケット先頭パルスWCTPとパケットイネーブル信号WCENとが入力するようになっており、パケットイネーブル信号WCENがディセーブル(“L”レベル)となっているときに、入力するパケット先頭パルスWCTPの入力でリセットされ、WCLKが入力する度に1ずつインクリメントし、その計数値を書込アドレスデータの例えば8ビットの書込アドレスに対し、下位ビットの書込パケットアドレスカウンタとして出力する。

【0009】読出アドレスカウンタ140は、読出ワードアドレスカウンタ141と、読出パケットアドレスカウンタ142とからなり、両方の出力がパケットメモリ110の読出アドレスデータとなる。読出ワードアドレスカウンタ141には、読出クロックRCLKとパケット先頭パルスRCTPとパケットイネーブル信号RCENとが入力するようになっており、読出ワードアドレスカウンタ141はパケットイネーブル信号RCENの入力で動作状態となり、パケット先頭パルスRCTPの入力タイミングで、読出クロックRCLKが入力する度に1ずつインクリメントし、その計数値を読出アドレスデータの例えば8ビットの書込アドレスに対し、上位3ビットの読出ワードアドレスカウンタとして出力する。つまり、各パケット内でのワードの読出アドレスを生成する。

【0010】読出パケットアドレスカウンタ142はパケット単位の読出アドレスを発生するものである。すなわち、読出パケットアドレスカウンタ142には、パケット先頭パルスRCTPとパケットイネーブル信号RCENとが入力するようになっており、パケットイネーブル信号RCENがディセーブル(“L”レベル)となっているときに、入力するパケット先頭パルスRCTPの入力でリセットされ、WCLKが入力する度に1ずつインクリメントし、その計数値を読出アドレスデータの例えば8ビットの読出アドレスに対し、下位5ビットの書

込パケットアドレスカウンタとして出力する。

【0011】パケット数監視部160は、書込済みのパケット数と読出済みのパケット数との差から有効パケット数を求めて、書き込みや読み出しの制御信号を生成するものであり、アップダウンカウンタ161と信号発生器162とからなる。なお、有効パケット数とは、パケットメモリ110に保持されているパケットデータのうちの未だ読み出されていないパケットデータの packet 数を指す。

【0012】アップダウンカウンタ161には、書込制御部130と読出制御部150とからデータ書込側およびデータ読出側のパケットイネーブル信号WCEN, RCENおよびパケット先頭パルスWCTP, RCTPが入力する。そして、データ書込側のパケットイネーブル信号WCENが“H”レベルのときに入力するパケット先頭パルスWCTPでカウントアップし、データ読出側のパケットイネーブル信号RCENが高レベルのときに入力するパケット先頭パルスRCTPでカウントダウンし、計数値を信号発生器162へ出力する。この計数値は有効パケット数に相当する。

【0013】信号発生器162では、この計数値が0まで減少したとき、読み出すべき新規パケットデータが無いことを示すエンプティ信号EPTを読出制御部150へ出力し、また、計数値がパケットメモリ110の格納可能なパケット数nに達したときには、フル信号FULLを書込制御部130へ出力する。各書込制御部130、読出制御部150ではこれらのフル信号FULL、エンプティ信号EPTに従って、それぞれデータ書き込みやデータ読み出しを禁止して、データ上書きによるデータ消失や同一データの2度読みを防止するようにしている。

【0014】

【発明が解決しようとする課題】しかし、上記従来のクロック乗換回路において、パケット数監視部160のアップダウンカウンタ161にパケット先頭パルスWCTP, RCTPが正常に入力している間は、アップダウンカウンタ161が有効パケット数を正確に出力するが、アップダウンカウンタ161にノイズ等が混入した場合には、実際にはパケットデータの書き込みや読み出しが行われていないのに拘らず、アップダウンカウンタ161の計数値が変化してしまい、有効パケット数を正確に出力しなくなってしまう。このように何らかの原因で、アップダウンカウンタ161の計数値に一度間違いが生じると、パケットメモリ110に未だ書き込めるのに、フル信号FULLが出力されて書き込みが禁止されたり、また、パケットメモリ110にもう書き込めないのに、フル信号FULLが出力されず、引き続いて書き込みが行われて、まだ読み出されていないデータが上書きされてデータが消失してしまうという問題が生じる。さらに、パケットメモリ110に未だ読み出せるデータがあるのに、エンプティ信号EPTが出力されて読み出しが

禁止されたり、また、パケットメモリ110にもう読み出せるデータが無いのに、エンプティ信号EPTが出力されず、引き続いて読み出しが行われて、古いデータを間違って読み出してしまうという問題が生じる。こうした誤動作はパケットメモリ110の計数値をリセットしない限り続くことになる。

【0015】本発明はこのような点に鑑みてなされたものであり、パケットメモリに保持されているパケットデータのうちの未だ読み出されていないパケットデータの packet 数である有効パケット数を常に正しく計数して、データの書き込みおよび読み出しを正確に行うことを可能にしたクロック乗換回路を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明では上記目的を達成するために、図1に示すように、第1の所定数のパケット分の記憶容量を持ち、書込クロックに同期して受信データを書き込み、かつ、前記書き込まれた受信データを読出クロックに同期して読み出して送信データとして出力するパケットメモリ1と、1パケット分のデータをパケットメモリ1に書き込む毎に1ずつカウントアップして第1の所定数に達すると0に循環し、パケットメモリ1への書込アドレスをパケット単位で指定する書込パケットアドレスカウンタ2と、1パケット分のデータをパケットメモリ1から読み出す毎に1ずつカウントアップして第1の所定数に達すると0に循環し、パケットメモリ1からの読出アドレスをパケット単位で指定する読出パケットアドレスカウンタ3と、書込パケットアドレスカウンタ2でカウントされた書込パケットアドレスの数値と、読出パケットアドレスカウンタ3でカウントされた読出パケットアドレスの数値との差を求め、この差を、パケットメモリ1が保持するデータのうちの未だ読み出されていないデータの packet 数であるとするメモリ容量監視手段4と、を有することを特徴とするクロック乗換回路が、提供される。

【0017】また、メモリ容量監視手段4は、前記差が0であれば、パケットメモリ1による送信データの読み出しを禁止する読出禁止信号を出力し、一方、前記差が第2の所定数であれば、パケットメモリ1による受信データの書き込みを禁止する書込禁止信号を出力する禁止信号出力手段4aを有する。

【0018】さらに、パケットメモリ1による受信データの書き込みを制御する書込制御手段5と、パケットメモリ1による送信データの読み出しを制御する読出制御手段6とを備え、読出禁止信号および書込禁止信号は、読出制御手段6および書込制御手段5にそれぞれ出力される。

【0019】

【作用】以上の構成により、図1において、メモリ容量監視手段4は、書込パケットアドレスカウンタ2でカウ

ントされた書込パケットアドレスの数値と、読出パケットアドレスカウンタ3でカウントされた読出パケットアドレスの数値との差を、各パケットアドレスが変化する度に求め、この差を有効パケット数、即ちパケットメモリ1が保持するデータのうちの未だ読み出されていないデータの packets 数、とする。

【0020】これにより、譬えノイズ等がメモリ容量監視手段4に混入しても、次の書込または読出パケットアドレスの変化時には有効パケット数は修正され、間違った有効パケット数がリセットまで出力され続けることはない。

【0021】また、禁止信号出力手段4aは、前記差が0であれば、パケットメモリ1による送信データの読み出しを禁止する読出禁止信号を出力し、一方、前記差が第2の所定数であれば、パケットメモリ1による受信データの書き込みを禁止する書込禁止信号を出力する。

【0022】これらの読出禁止信号および書込禁止信号は、読出制御手段6および書込制御手段5にそれぞれ出力され、読出制御手段6は、読出禁止信号の入力に基づき、パケットメモリ1による受信データの書き込みを禁止し、また書込制御手段5は、パケットメモリ1による送信データの読み出しを禁止する。これにより、データ上書きによるデータ消失や同一データの2度読みを防止する。

【0023】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図2は本発明の実施例のクロック乗換回路の全体構成を示すブロック図である。図中、パケットメモリ10、書込アドレスカウンタ20、書込制御部30、読出アドレスカウンタ40、および読出制御部50は、図9で既に説明したパケットメモリ110、書込アドレスカウンタ120、書込制御部130、読出アドレスカウンタ140、および読出制御部150とそれぞれ同一の構成になっている。また、書込アドレスカウンタ20内の書込ワードアドレスカウンタ21および書込パケットアドレスカウンタ22、並びに読出アドレスカウンタ40内の読出ワードアドレスカウンタ41および読出パケットアドレスカウンタ42も、図9の書込ワードアドレスカウンタ121および書込パケットアドレスカウンタ122、並びに読出ワードアドレスカウンタ141および読出パケットアドレスカウンタ142とそれぞれ同一の構成になっている。したがって、これらについての説明は省略する。なお、以下の実施例では、パケットメモリ10が、27ワードから成るデータパケットを8パケット分記憶できる容量を有するものとして説明する。

【0024】本実施例のメモリ容量監視部60には、書込パケットアドレスカウンタ22および読出パケットアドレスカウンタ42から、3ビット構成の書込パケットアドレスWPAおよび読出パケットアドレスRPAが入力され、いずれか一方のパケットアドレスが変化する都

度、書込パケットアドレスWPAの値と読出パケットアドレスRPAの値との差が計算され、この差が有効パケット数としてフル信号FLLやエンプティ信号EPTの出力に使用される。

【0025】すなわち、書込パケットアドレスカウンタ22は、1パケット分の受信データをパケットメモリ10に書き込む毎に1ずつカウントアップして、例えば値8に達すると値0に循環するもので、パケットメモリ10への書込アドレスをパケット単位で指定するものである。また、読出パケットアドレスカウンタ42は、1パケット分の送信データをパケットメモリ10から読み出す毎に1ずつカウントアップして、例えば値8に達すると値0に循環するもので、パケットメモリ10からの読出アドレスをパケット単位で指定するものである。したがって、書込パケットアドレスWPAの値と読出パケットアドレスRPAの値との差が有効パケット数に相当する、ということに着目してメモリ容量監視部60は構成されている。

【0026】図3は、書込パケットアドレスWPAの値や読出パケットアドレスRPAの値と、フル信号FLLやエンプティ信号EPTとの関係を示す図であり、

(A)は通常動作時、(B)はエンプティ信号EPT検出時、(C)はフル信号FLL検出時の関係タイムチャートである。書込パケットアドレスWPAおよび読出パケットアドレスRPAが変化したときに、それらの値の差(容量)が算出され、この容量が0ならばエンプティ信号EPTが出力され、容量が7ならばフル信号FLLが出力される。なお、容量が、8ではなく、7でフル信号FLLを出力するようにして、パケットメモリ10への上書きを安定して防止できるようにしている。

【0027】なお、パケットメモリ10に対する書き込みおよび読み出しは、非同期で行われるので、両側のパケットアドレスカウンタの出力値の差を求めるには、いずれか一方のクロックに両者を合わせた上で減算を行う必要がある。

【0028】このメモリ容量監視部60の具体的な構成について、以下、4つの回路例を基に説明する。図4は、メモリ容量監視部60の第1回路例を示す回路ブロック図である。第1回路例は、書込クロックWCLKに読出パケットアドレスRPAを同期させる方法をとっている。以下、第1回路例の回路各部の信号を示す図5を適宜引用しながら説明する。

【0029】まず、読出パケットアドレスRPAの最下位ビットの値RPA₀〔図5(D)〕をイネーブル信号生成回路61へ取り込む。最下位ビット値RPA₀は、読出パケットアドレスRPAが変化する度に0, 1交替をする信号である。

【0030】イネーブル信号生成回路61は、bビットシフトレジスタ61aと、フリップフロップ61bと、E_x-OR61cとからなり、このbビットシフトレジ

スタ61aが、最下位ビット値RPAoを、書込クロックWCLK〔図5(A)〕でbパルス分だけシフトしながら取り込み、フリップフロップ61bとEx-OR61cとがイネーブル信号〔図5(E)〕を生成する。図5(E)におけるイネーブル信号の立ち上がりタイミングは、書込クロックWCLKに同期するとともに、bビットシフトレジスタ61aで設定された書込クロックWCLKのbパルス分だけ、最下位ビット値RPAoの立ち上がり時より遅れている。bビットシフトレジスタ61aのbビットは最大27ビットまでの範囲で任意に設定可能であり、このbビットの設定によって、読み込みのタイミングを調整できる。

【0031】ラッチ回路62は、セクタ62aと、フリップフロップ62bとから成り、セクタ62aの一方の入力には3ビットの読出パッケージアドレスRPA〔図5(C)〕が入力し、他方の入力にはフリップフロップ62bの出力が還流する。図5(C)に示す各ブロックは、27ワードからなる1パッケージ分を示しており、ブロック内の数字は10進表示の読出パッケージアドレスRPAの値である。

【0032】セクタ62aは、イネーブル信号生成回路61から“H”レベルのイネーブル信号が入力されない間は、フリップフロップ62bからの還流出力を選択的に取り込み、一方、イネーブル信号が入力されると読出パッケージアドレスRPAを選択的に取り込み、それぞれフリップフロップ62bへ出力する。フリップフロップ62bは、その出力を書込クロックWCLKのタイミングでラッチして出力する。したがって、ラッチ回路62の出力は図5(F)のようになる。

【0033】減算器63には、ラッチ回路62の出力と、書込パッケージアドレスWPA〔図5(B)〕とが入力し、両者の差〔図5(G)〕が算出される。この算出された差がEPT検出部64およびFLI検出部65へ出力され、EPT検出部64では、上記差が0のとき出力信号を出し、これがフリップフロップ66で書込クロックWCLKのタイミングでラッチされ、一方、FLI検出部65では、上記差が7のとき出力信号を出し、これがフリップフロップ68で書込クロックWCLKのタイミングでラッチされる。

【0034】フリップフロップ68の出力はそのままフル信号FLIとして出力され、書込制御部30へ送られる。しかし、フリップフロップ66の出力〔図5

(H)〕は、書込クロックWCLKに同期されているため、読出クロックRCLKに乗り換えるためのクロック乗換回路67を経てエンプティ信号EPT〔図5

(I)〕として読出制御部50へ出力される。クロック乗換回路67は読出クロックRCLKのタイミングでラッチする2つのフリップフロップ67a、67bからなり、フリップフロップを2つ備えることで確実なクロック乗換を行なっている。なお、図5はエンプティ信号E

PTが発生される場合を例にして図示を行なっている。

【0035】つぎに、メモリ容量監視部60の第2回路例を説明する。図6は、メモリ容量監視部60の第2回路例を示す回路ブロック図である。第2回路例は、読出クロックRCLKに書込パッケージアドレスWPAを同期させる方法をとっている。第2回路例、図4の第1回路例と大半は同じであるので、同一構成には同一番号を付し、以下では異なる部分のみを説明する。

【0036】イネーブル信号生成回路61には、書込パッケージアドレスWPAの最下位ビット値WPAoが入力し、タイミングクロックとして読出クロックRCLKが入力する。また、ラッチ回路62には書込パッケージアドレスWPAが入力する。

【0037】減算器63には、書込パッケージアドレスWPAと、ラッチ回路62の出力とが入力する。また、エンプティ信号EPTはクロック乗換回路を経ずに出力され、一方、フル信号FLIは書込クロックWCLKに乗り換えるためのクロック乗換部69を経て出力される。

【0038】そして、第2回路例の動作は、第1回路例の動作において、読出パッケージアドレスRPAが書込パッケージアドレスWPAに代わり、書込クロックWCLKが読出クロックRCLKに代わっただけの動作となる。

【0039】つぎに、メモリ容量監視部60の第3回路例を説明する。図7は、メモリ容量監視部60の第3回路例を示す回路ブロック図である。第3回路例は、書込クロックWCLKに読出パッケージアドレスRPAを同期させる方法をとっている。第3回路例も第1回路例と類似するため、第3回路例において、図4の第1回路例と同一構成には同一番号を付し、以下では異なる部分のみを説明する。なお、第3回路例の回路各部の信号を示す図8を適宜引用しながら説明する。

【0040】まず、読出パッケージアドレスRPAの最下位ビットの値RPAo〔図8(C)〕をイネーブル信号生成回路70へ取り込む。イネーブル信号生成回路70は、cビットシフトレジスタ70aと、Ex-OR70bとからなり、cビットシフトレジスタ70aが、最下位ビット値RPAoを、書込クロックWCLKでcパルス分だけシフトしながら取り込み、Ex-OR70bとともにイネーブル信号〔図8(D)〕を生成する。図8(D)におけるイネーブル信号の立ち上がりタイミングは、書込クロックWCLKに同期するとともに、イネーブル信号のパルス幅はcビットシフトレジスタ70aで設定されるcビットに応じて決まる。

【0041】ラッチ回路71は、フリップフロップから成り、イネーブル信号生成回路70から“H”レベルのイネーブル信号が入力されるタイミングで読出パッケージアドレスRPAをラッチして出力する〔図8(E)〕。

【0042】減算器63以降の構成および動作は図4の第1回路例と同一である。最後に、メモリ容量監視部60の第4回路例を説明する。第4回路例は、第3回路例

において、読出クロックRCLKに書込パッケージアドレスWPAを同期させる方法をとったものである。すなわち、第3回路例に第2回路例の変更部分を組み合わせて第4回路例が構成されるので、第4回路例の詳しい説明は省略する。

【0043】なお、以上の実施例では、パッケージメモリ10が、27ワードから成るデータパッケージを8パッケージ分記憶できる容量を有するものとして説明したが、本発明はこれに限定されるものではなく、任意のワード数、パッケージ数に対し適用可能である。

【0044】

【発明の効果】以上説明したように本発明では、書込パッケージアドレスカウンタでカウントされた書込パッケージアドレスの数値と、読出パッケージアドレスカウンタでカウントされた読出パッケージアドレスの数値との差を求め、この差を有効パッケージ数、即ちパッケージメモリが保持するデータのうちの未だ読み出されていないデータのパッケージ数、とする。これにより、譬えノイズ等がメモリ容量監視手段に混入しても、次の書込または読出パッケージアドレスの変化時には有効パッケージ数は修正され、間違った有効パッケージ数がリセットまで出力され続けることはない。つまり、有効パッケージ数を常に正しく計数して、データの書き込みおよび読み出しを正確に行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

*

*【図2】本発明の実施例のクロック乗換回路の全体構成を示すブロック図である。

【図3】書込パッケージアドレスWPAの値や読出パッケージアドレスRPAの値と、フル信号FLLやエンブティ信号EPTとの関係を示す図である。

【図4】メモリ容量監視部の第1回路例を示す回路ブロック図である。

【図5】第1回路例の回路各部の信号を示すタイムチャートである。

10 【図6】メモリ容量監視部の第2回路例を示す回路ブロック図である。

【図7】メモリ容量監視部の第3回路例を示す回路ブロック図である。

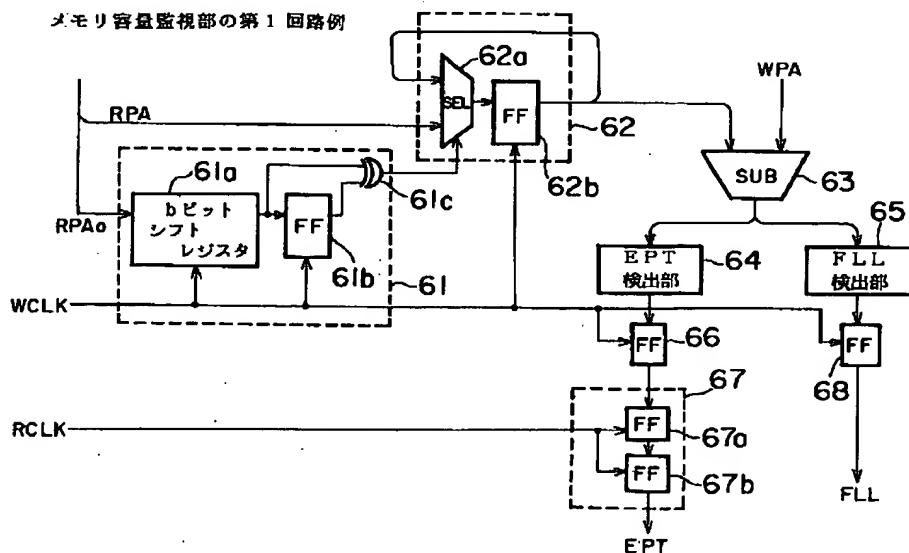
【図8】第3回路例の回路各部の信号を示すタイムチャートである。

【図9】従来のクロック乗換回路の全体構成を示すブロック図である。

【符号の説明】

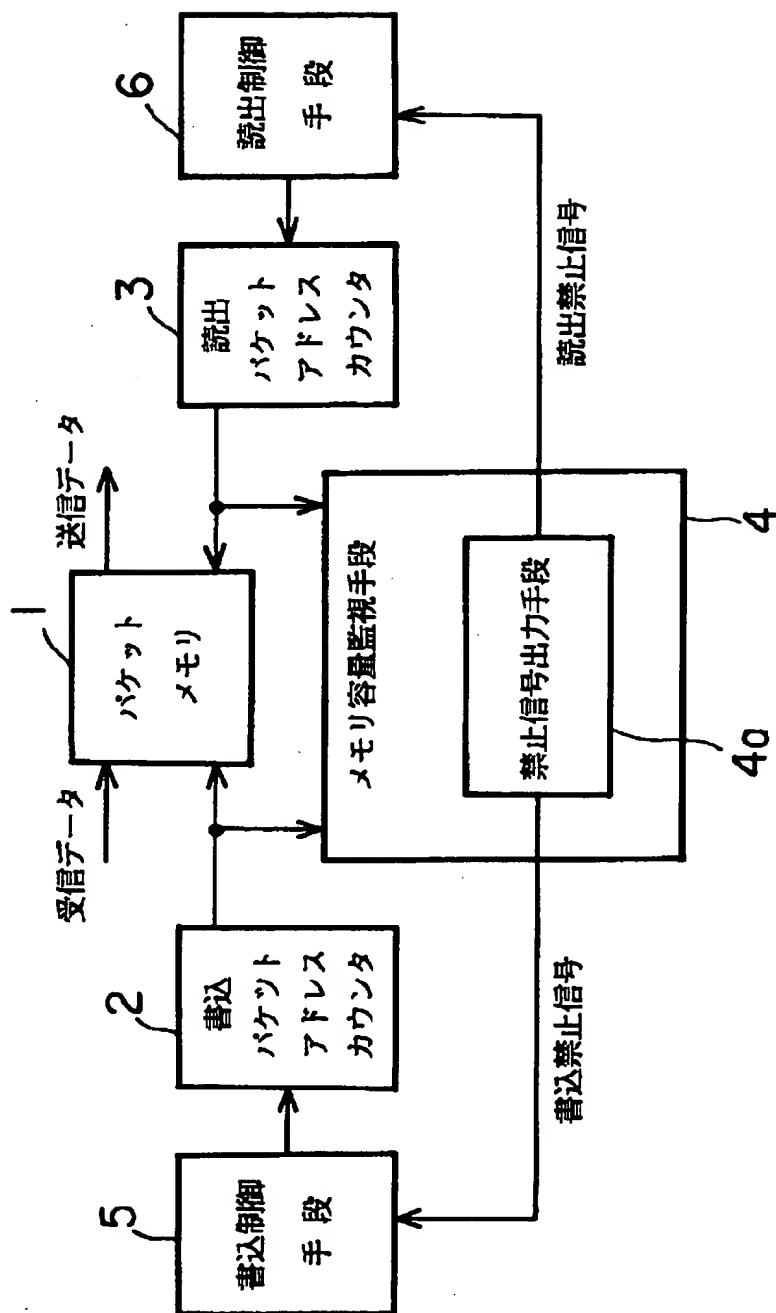
- 1 パッケージメモリ
- 2 書込パッケージアドレスカウンタ
- 3 読出パッケージアドレスカウンタ
- 4 メモリ容量監視手段
- 4 a 禁止信号出力手段
- 5 書込制御手段
- 6 読出制御手段

【図4】



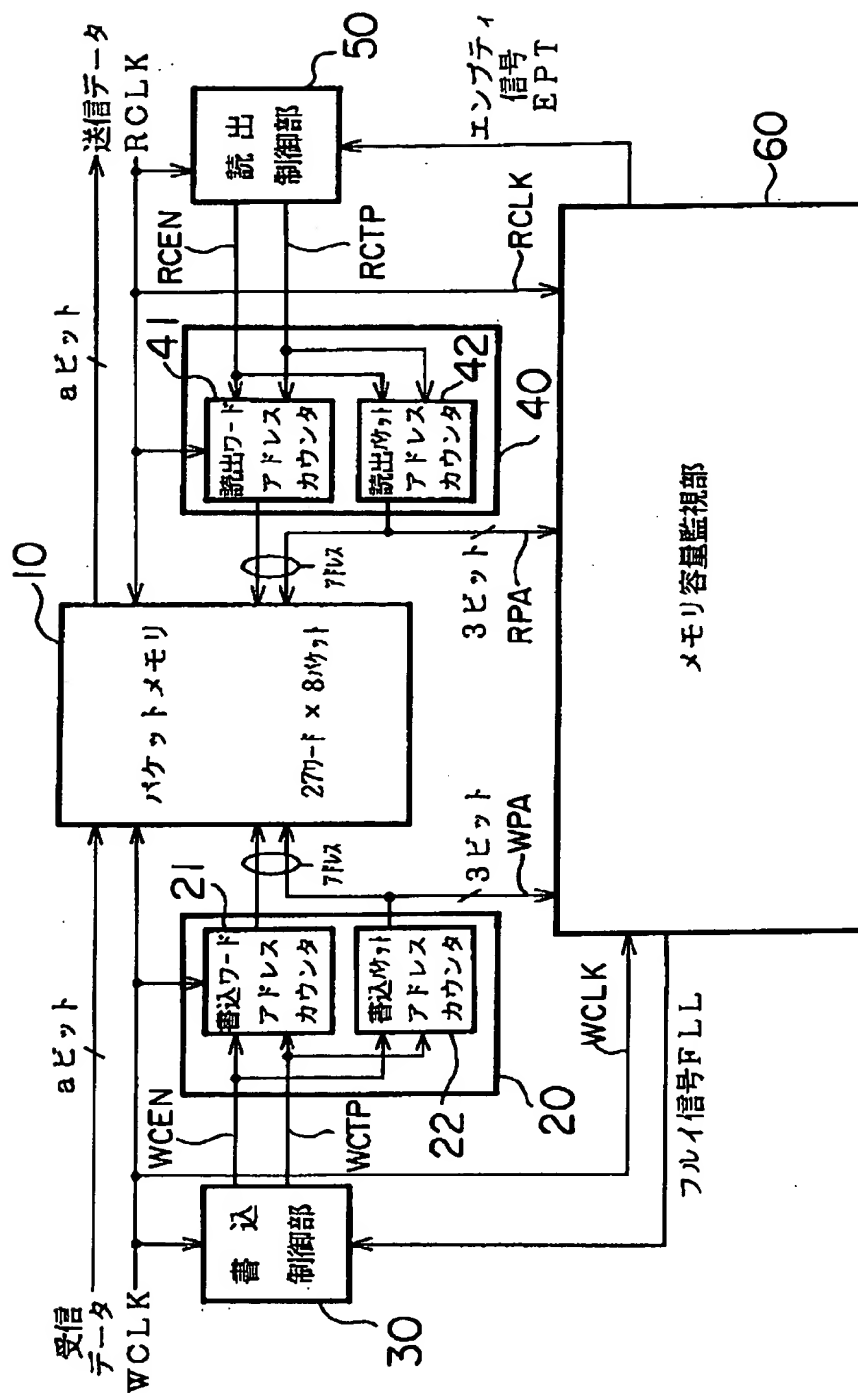
本発明の原理説明図

【図1】



【図 2】

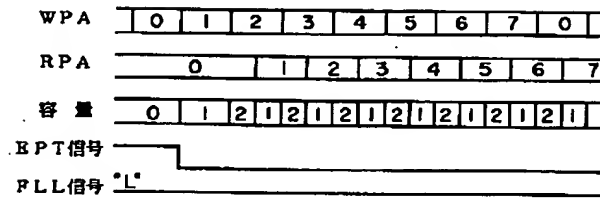
本発明のクロック乗換回路の構成図



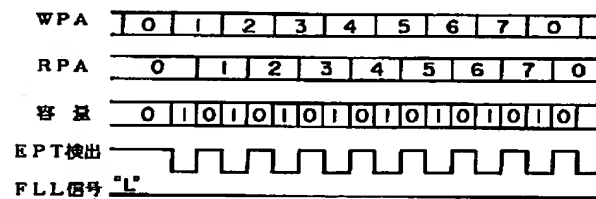
【図3】

パケットアドレスとEPT信号、FLL信号の
関係を示す図

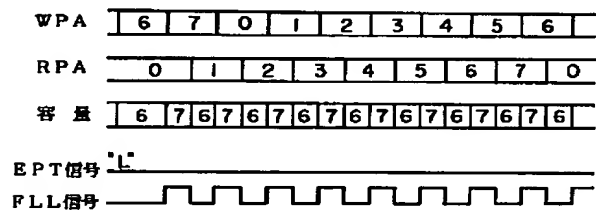
(A) 通常動作



(B) EPT検出



(C) FLL検出



【図5】

第1回路例各部の信号のタイミングチャート

(A) WCLK

(B) WPA

0	1	2	3
---	---	---	---

(C) RPA

0	1	2	3
---	---	---	---

(D) RPAo

(E) イネーブル信号

(F) ラッチ出力

0	1	2	3
---	---	---	---

(G) SUB出力

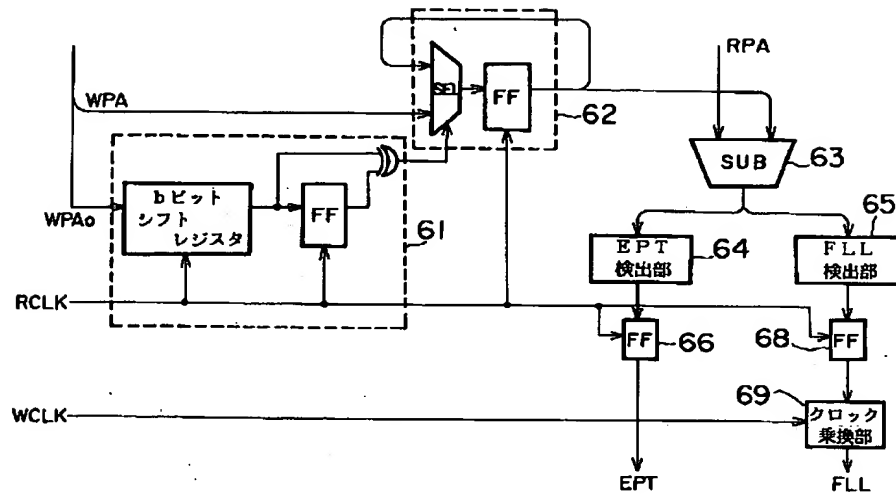
0	1	0	1	0	1	0
---	---	---	---	---	---	---

(H) クロック乗換前のEPT信号

(I) EPT信号

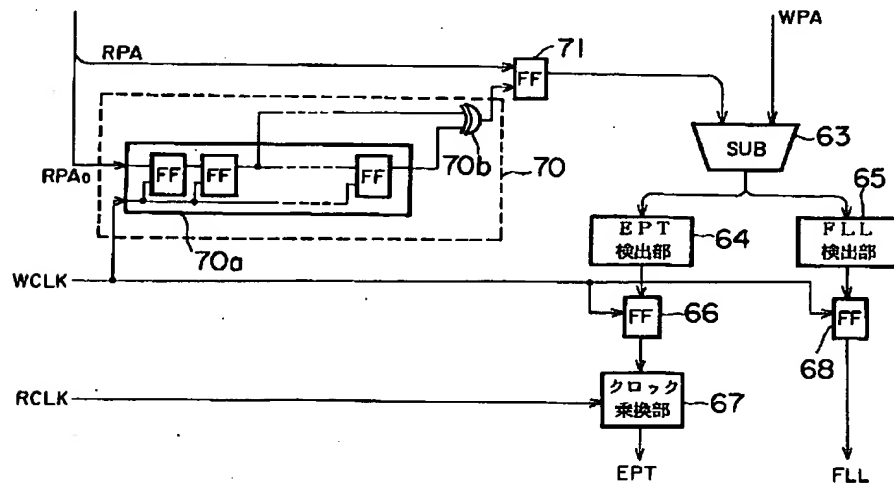
【図6】

メモリ容量監視部の第2回路例



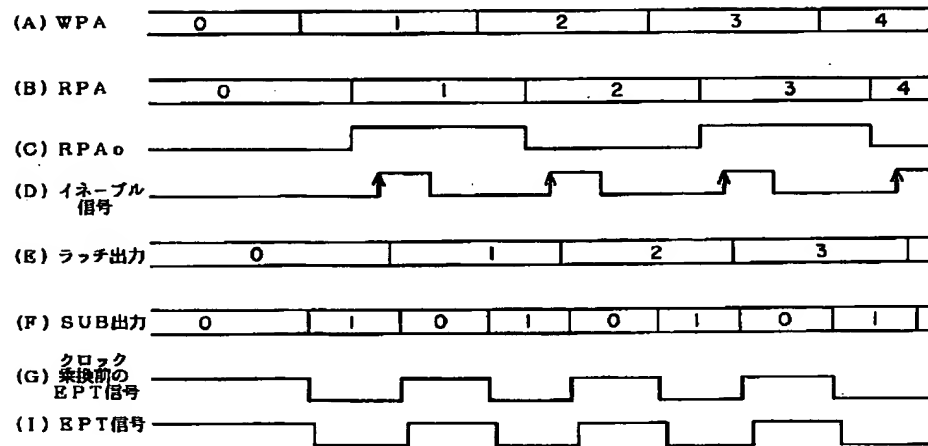
【図7】

メモリ容量監視部の第3回路例



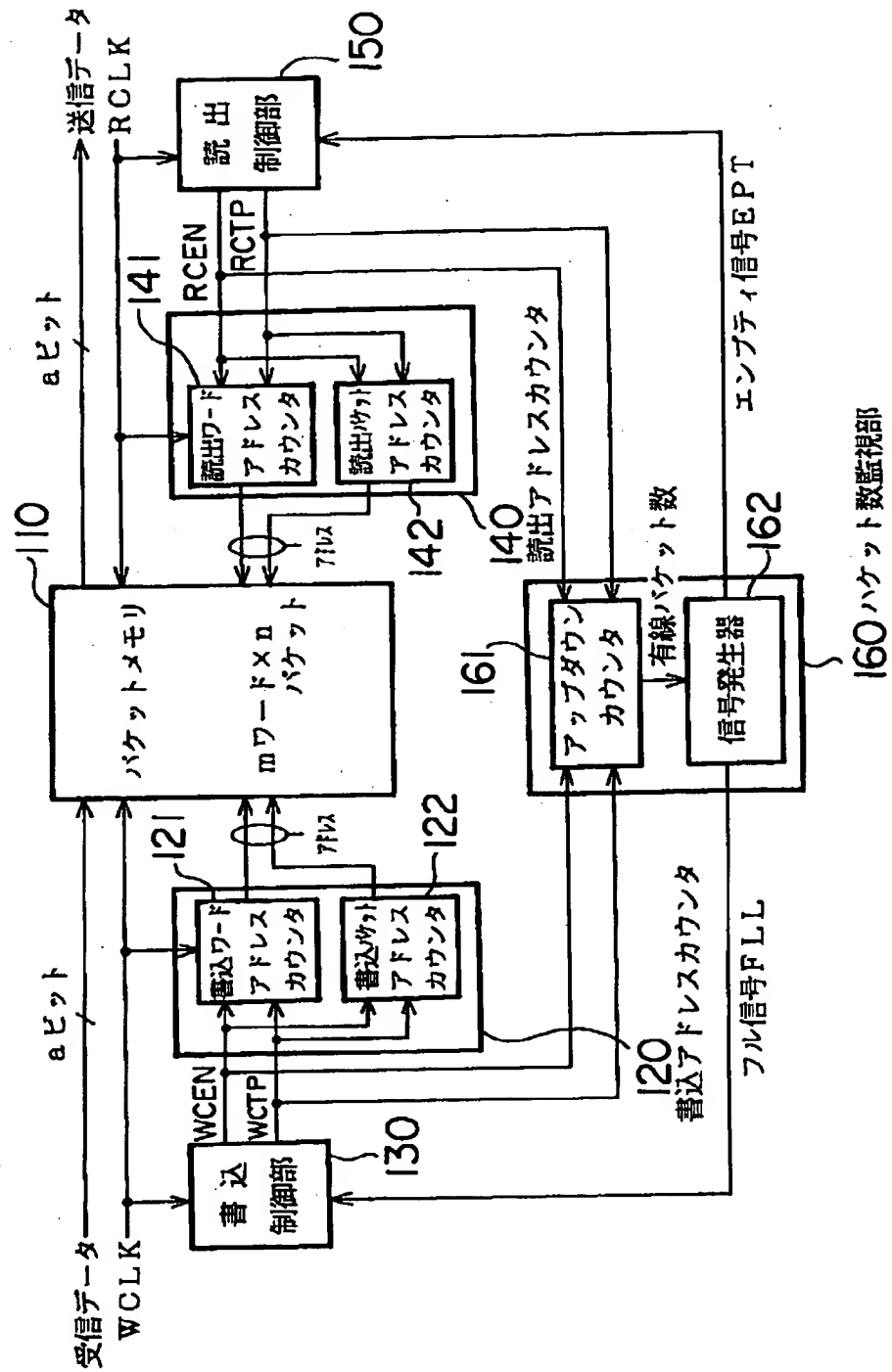
【図8】

第3列回路各部の信号のタイミングチャート



【図9】

従来のクロック乗換回路の構成図





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11017773 A**(43) Date of publication of application: **22 . 01 . 99**

(51) Int. Cl. **H04L 29/10**
G06F 3/06
G06F 13/38
H04L 12/56

(21) Application number: **09164809**(71) Applicant: **SONY CORP**(22) Date of filing: **20 . 06 . 97**(72) Inventor: **MUTO TAKAYASU**(54) **SERIAL INTERFACE CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a circuit for enabling smooth transmission/reception by dividing data to be transferred into data more than one, calculating the leading address of the next packet by adding a transfer data component from a leading bus address, generating the transmission packet of bus address addition at least and sending it to a serial interface when transferring the data of a present node to the other node.

SOLUTION: A request packet generating circuit 122 divides computer data recorded through a transport data interface circuit 121 onto a hard disk into data more than one so as to be divided into packets in the case of write when the instruction of data transfer start from a control register 107 of a link layer circuit 100, and the address of an SBP protocol is calculated based on data such as the length of data set to the control register 107, and stored in a FIFO 124 for request. In the case of reception, the address of the SBP protocol is calculated.

COPYRIGHT: (C)1999,JPO

